

PAT-NO: JP363104529A
DOCUMENT-IDENTIFIER: JP 63104529 A
TITLE: EQUALIZING AMPLIFIER
PUBN-DATE: May 10, 1988

INVENTOR-INFORMATION:

NAME
HIRAGA, MASATOMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP61251546

APPL-DATE: October 21, 1986

INT-CL (IPC): H04B003/14, H03H011/04 , H03H017/02 , H04B003/06

US-CL-CURRENT: 375/229

ABSTRACT:

PURPOSE: To constitute a titled amplifier with an integrated circuit by a digital element by once converting an analog signal which suffers the loss of a transmission line into a digital signal so as to process the signal and converting the said signal into the analog signal again.

CONSTITUTION: A transmission line signal 11 which suffers the loss of the transmission line is sampled in a sampling circuit 4 and made to be a binarized signal in an AND conversion circuit 5 so as to be inputted in a digital filter 6. And the peak-to-peak value of an equalizing signal 12 is detected in a P-P detection circuit 2. The difference between the detection signal and a fixed

comparison voltage $V_{\langle SB \rangle \text{ref} \langle /SB \rangle}$ is amplified in a differential amplifier 3 to be outputted and the output is sampled in the sampling circuit 8 to be converted into the binarized signal in an A.D converter 9, after that it is inputted in a ROM 603. The ROM 603 outputs a constant signal corresponding to the input and if the equalizing signal 12 alters in an increasing direction the digital filter 6 works in a direction decreasing a gain by a multiplication coefficient which decreases the gain stored in the ROM 603, so that an automatic gain control can be executed. Thus it is possible to consist the amplifier with integrated circuit.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-104529

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月10日

H 04 B 3/14
H 03 H 11/04
17/02
H 04 B 3/06

7323-5K
7922-5J
Z-6903-5J
B-7323-5K

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 等化増幅器

⑯ 特 願 昭61-251546

⑰ 出 願 昭61(1986)10月21日

⑱ 発 明 者 平 賀 正 富 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

等化増幅器

2. 特許請求の範囲

(1) 伝送路を経由したアナログ入力信号が到来する入力端子(11)と、

所望のレベルのアナログ出力信号が通過する出力端子(12)と、

このアナログ出力信号の尖頭値と上記所望のレベルの尖頭値に対応する基準信号とを比較して生成したアナログ帰還信号を入力する帰還端子(13)と

を備えた等化増幅器において、

アナログ入力信号をデジタル信号に変換する第一変換手段(4、5)と、

アナログ帰還信号をデジタル信号に変換する第二変換手段(8、9)と、

上記第一および第二変換手段の出力にディジタ

ル演算を施して上記アナログ出力信号に相当のデジタル信号を生成する演算手段(6)と、

この演算手段の出力するデジタル信号をアナログ信号に変換する第三変換手段(7)と

を備えたことを特徴とする等化増幅器。

(2) 演算手段は、第一変換手段の出力を入力とする乗算手段と、この乗算手段に与えられる乗算係数があらかじめ記憶され、第二変換手段の出力をアドレス入力とするROMとを備えた特許請求の範囲第(1)項に記載の等化増幅器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル伝送方式で、伝送路信号を受信し伝送路損失を補償すると共に波形等化を施す等化増幅器の利得を調整する自動利得制御回路に関する。

(概要)

本発明は、伝送路損失を受けたアナログ信号を等化増幅する手段において、

アナログ信号をデジタル信号にいったん変換してこの信号を処理し、再びアナログ信号に変換することにより、

デジタル素子による集積回路で構成することができるようにしたものである。

(従来の技術)

デジタル伝送方式では、伝送路損失のばらつきを補償するために伝送路信号受信部で等化増幅器の自動利得制御を施している。従来は第2図に示すように、線型な可変利得増幅器からなる等化増幅器1と、尖頭値検出回路2と、差動増幅器3とで構成され、等化増幅器1の出力信号より尖頭値を検出し、この検出した直流信号に基づき差動増幅器3で利得制御信号13を得て等化増幅器1の利得制御を施している。

(発明が解決しようとする問題点)

近年デジタルデバイス技術の急速な進歩により、各種デジタル回路は大規模な集積回路化が計られているが、従来の自動利得制御回路は波形等化のための各種線型フィルタ、線型な可変利得

増幅器および直流増幅器などで構成されているので、集積回路化から取り残され、大きな実装規模かつ大きな消費電力などでデジタル伝送方式では大きな問題点となっていた。本発明はこうした問題点を解決するもので、集積回路化が容易な等化増幅器を提供することを目的とする。

(問題点を解決するための手段)

本発明は、伝送路を経由したアナログ入力信号が到来する入力端子と、所望のレベルのアナログ出力信号が通過する出力端子と、このアナログ出力信号の尖頭値と上記所望のレベルの尖頭値に対応する基準信号とを比較して生成したアナログ帰還信号を入力する帰還端子とを備えた等化増幅器において、アナログ入力信号をデジタル信号に変換する第一変換手段と、アナログ帰還信号をデジタル信号に変換する第二変換手段と、上記第一および第二変換手段の出力にデジタル演算を施して上記アナログ出力信号に相当のデジタル信号を生成する演算手段と、この演算手段の出力するデジタル信号をアナログ信号に変換する第

三変換手段とを備えたことを特徴とする。

演算手段は、第一変換手段の出力を入力とする乗算手段と、この乗算手段に与えられる乗算係数があらかじめ記憶され、第二変換手段の出力をアドレス入力とするROMとを備えたことを特徴とする。

(作用)

伝送路損失を蒙ったアナログ入力信号はデジタル信号に変換される。また、アナログ出力信号の尖頭値が検出され、この尖頭値と基準値とが比較された結果のアナログ信号もデジタル信号に変換される。この二つの信号がデジタル演算されて生成されたデジタル信号はアナログ信号に変換され、所望の尖頭値レベルのアナログ信号が出力される。

(実施例)

以下、本発明実施例を図面に基づいて説明する。第1図は本発明実施例の構成を示すブロック構成図である。

まず、この実施例装置の構成を第1図に基づき

説明する。この実施例は、尖頭値検出回路2と、差動増幅器3と、サンプリング回路4および8と、A・D変換器5および9と、デジタルフィルタ6と、D・A変換器7とを備え、ここで、デジタルフィルタ6は、乗算器601と、遅延回路602と、乗算器係数を記憶したROM603とで構成される。

次に、この実施例の動作を説明する。到来した伝送路信号11はサンプル回路4でサンプルされ、A・D変換回路5で2値符号化信号になる。この信号はデジタルフィルタ6に入力される。このデジタルフィルタ6では、乗算係数信号14が自動的にコントロールされて与えられ波形等化および利得調整が行われる。すなわち、尖頭値検出回路2で等化信号12の尖頭値を検出し、差動増幅器3でこの検出信号と固定比較電圧 V_{ref} との差分を増幅して出力し、この出力をサンプル回路8でサンプルしてA・D変換器9で2値符号化信号に変換した後に、ROM603に入力する。ROM603からは入力に対応した一定の信号が出力される。

ここで、等化信号12が大なる方向に変化するときには、これに対応してROM603に利得を減少させる乗算係数をあらかじめ記憶させておくと、このときのROM603からの出力に基づきデジタルフィルタ6は利得を減少させる方向に働く。また、等化信号12が小なる方向に変化するときには、ROM603に利得を増大させる乗算係数を出力するようにあらかじめ記憶させておくと、デジタルフィルタは利得を増大させる方向に働く。このようにして、固定比較電圧 V_{ref} に尖頭値検出電圧が一致するように働き、等化出力波形レベルを固定比較電圧 V_{ref} で決められるレベル値に制御するように自動利得制御が行われる。

(発明の効果)

本発明は以上説明したように、従来の各種線型フィルタおよび線型増幅器を使って構成していた自動利得制御回路を全てデジタル信号処理回路で実現しているので、集積回路化が可能になり、実装規模の大幅な削減および低消費電力化を達成することができる効果がある。

なお自動利得制御で補償する範囲すなわち異種の伝送路および伝送路長に対して補償すべき範囲がROMの記憶内容を変更するだけで対処できるので、従来のように個々の補償範囲に対応して何種類ものハード構成の異なる自動利得制御回路を用意する必要がなくなり、広い補償範囲の自動利得制御を実現できる効果がある。

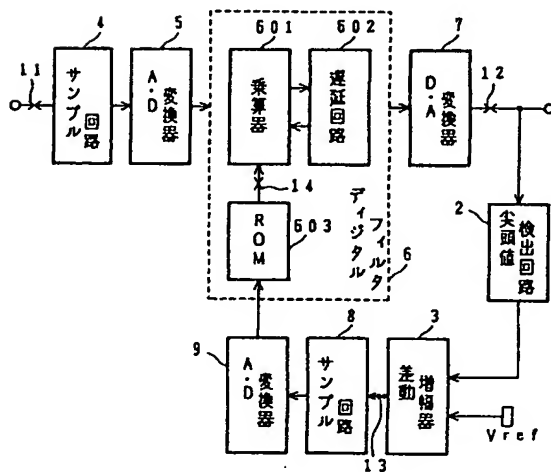
4. 図面の簡単な説明

第1図は本発明実施例の構成を示すブロック構成図。

第2図は従来例の構成を示すブロック構成図。

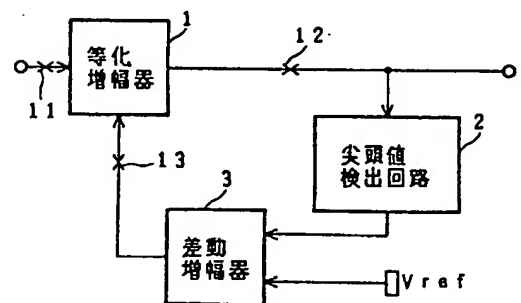
1…等化増幅器、2…尖頭値検出回路、3…差動増幅器、4、8…サンプル回路、5、9…A・D変換器、6…デジタルフィルタ、7…D・A変換器、11…伝送路信号、12…等化信号、13…利得制御信号、14…乗算係数信号、601…乗算器、602…遅延回路、603…ROM。

特許出願人 日本電気株式会社
代理人 弁理士 井出直孝



実施例の構成

第 1 図



従来例の構成

第 2 図